



Planificaciones

8644 - Técnica Digital Avanzada

Docente responsable: MARTINEZ MIGUEL ANTONIO

OBJETIVOS

Síntesis de circuitos combinatorios.

Presentación de métodos de prueba y diagnóstico de sistemas digitales.

Enseñar los fundamentos de la teoría y práctica de prueba (testing) de circuitos digitales.

Capacitar en resolver una amplia gama de problemas de prueba (testing) no triviales utilizando técnicas realizables y de costo reducido.

Estudiar los métodos de diseño para prueba (design-for-test) y prueba en el integrado (system-on-chip testing).

Comprender las técnicas de hardware tolerante a fallas.

CONTENIDOS MÍNIMOS

PROGRAMA SINTÉTICO

1.Síntesis de circuitos combinatorios

2.Simulación de circuitos lógicos

3.Modelado de fallas

4.Simulación de fallas

5.Detección de fallas

6.Diseño para la detección de fallas

7.Técnicas de compresión

8.BIST (built-in-self-test)

9.Técnicas de hardware tolerante a fallas

PROGRAMA ANALÍTICO

1.Síntesis de circuitos combinatorios

Principios de optimización lógica. Algoritmos de minimización lógica. El sistema ESPRESSO. Sistemas de múltiples niveles.

2.Simulación de circuitos lógicos

Simulación. Verificación de diseños. Modelado de circuitos. Algoritmos de simulación.

3.Modelado de fallas. Necesidad de modelos.Defectos reales en VLSI. Modelos de fallas. Fallas trabado en. Equivalencia de fallas. Fallas dominantes. Tipos de fallas trabadas en y fallas multiples. Fallas de transistores

4.Simulación de fallas. Algoritmos de simulación: serie, paralelo, deductivo y concurrente.

5.Detección de fallas. Sistemas automáticos de generación de pruebas. Algoritmos. Generación al azar.

6.Diseño para la detección de fallas. Técnicas directas: puntos de prueba, inicialización, particionado, lógica redundante.

7.Técnicas de compresión. Aspectos generales. Compresión cuentas de uno y transiciones, prueba de paridad, prueba de síndrome, análisis de firmas.

8.BIST (built-in-self-test). Introducción a conceptos de BIST. Generación de patrones de prueba: exhaustiva, pseudo random, segmentación lógica. Arquitectura específicas.

9. Técnicas de hardware tolerante a fallas. Conceptos básicos. Aplicación de códigos detectores y correctores de error. Circuitos de prueba y auto-prueba.

BIBLIOGRAFÍA

1. Essentials of Electronic Testing: for Digital, Memory & Mixed-Signal VLSI Circuits, Michael L. Bushnell and Vishwani D. Agrawal,2002, Kluwer Academic Publishers,ISBN e-book 0-306-47040-3, Print: 0-792-37991-8

2. Synthesis and Optimization of Digital circuits, De Micheli Giovanni,1994, McGraw-Hill International Editions, ISBN 0-07-113271-6.

3. Digital Logic Testing and Simulation, Alexander Miczo, 2003, Wiley-Interscience, ISBN 0-471-43995-9.
4. Digital Systems Testing and Testable Design, Abramovici M., Breuer M., Friedman A, 1990, IEEE Press, ISBN 0-7803-1062-4.
5. Boundary Scan Test, A Practical Approach, Bleeker H., van den Eijnden P., de Jong F, 1993, Kluwer Academic Publishers, ISBN 0-7923-9296-5.
6. Testing of Digital Systems, N.K. Jha, S. Gupta, Cambridge University Press, ISBN 0521773563.
7. Diversos números de IEEE Design and Test of Computers

RÉGIMEN DE CURSADA

Metodología de enseñanza

Clases teórico-prácticas.

Modalidad de Evaluación Parcial

La evaluación del aprendizaje se logra mediante una evaluación parcial escrita, la cual cuenta con dos fechas de recuperación.

Existe, una evaluación final o coloquio integrador, que podrá ser rendido como máximo en 3 oportunidades. Para rendir la evaluación final o coloquio integrador, el alumno debe haber aprobado la evaluación parcial y entregado los prácticos obligatorios de los temas que se le asignaron

CALENDARIO DE CLASES

Semana	Temas de teoría	Resolución de problemas	Laboratorio	Otro tipo	Fecha entrega Informe TP	Bibliografía básica
<1> 09/03 al 14/03	Síntesis de circuitos combinatorios	Síntesis de circuitos combinatorios				De Micheli Giovanni, Synthesis and Optimization of Digital circuits
<2> 16/03 al 21/03	Síntesis de circuitos combinatorios	Síntesis de circuitos combinatorios				De Micheli Giovanni, Synthesis and Optimization of Digital circuits
<3> 23/03 al 28/03	Simulación de circuitos lógicos	Simulación de circuitos lógicos				De Micheli Giovanni, Synthesis and Optimization of Digital circuits
<4> 30/03 al 04/04	Modelado de fallas	Modelado de fallas	Modelado de fallas			N.Jha, S.Gupta, "Testing of Digital Systems", Abramovici M., Breuer M., Friedman A. Digital Systems Testing and Testable Design
<5> 06/04 al 11/04	Modelado de fallas	Modelado de fallas	Modelado de fallas			N.Jha, S.Gupta, "Testing of Digital Systems", Abramovici M., Breuer M., Friedman A. Digital Systems Testing and Testable Design
<6> 13/04 al 18/04	Simulación de fallas	Simulación de fallas	Simulación de fallas			N.Jha, S.Gupta, "Testing of Digital Systems", Abramovici M., Breuer M., Friedman A. Digital Systems Testing and Testable Design
<7> 20/04 al 25/04	Detección de fallas	Detección de fallas	Detección de fallas			N.Jha, S.Gupta, "Testing of Digital Systems"
<8> 27/04 al 02/05	Diseño para la detección de fallas	Diseño para la detección de fallas	Diseño para la detección de fallas			N.Jha, S.Gupta, "Testing of

Semana	Temas de teoría	Resolución de problemas	Laboratorio	Otro tipo	Fecha entrega Informe TP	Bibliografía básica
						Digital Systems", Abramovici M., Breuer M., Friedman A. Digital Systems Testing and Testable Design
<9> 04/05 al 09/05	Diseño para la detección de fallas	Diseño para la detección de fallas	Diseño para la detección de fallas			N.Jha, S.Gupta, "Testing of Digital Systems", Abramovici M., Breuer M., Friedman A. Digital Systems Testing and Testable Design
<10> 11/05 al 16/05	evaluación parcial					
<11> 18/05 al 23/05	Técnicas de compresión	Técnicas de compresión				N.Jha, S.Gupta, "Testing of Digital Systems", Abramovici M., Breuer M., Friedman A. Digital Systems Testing and Testable Design
<12> 25/05 al 30/05	Técnicas de compresión	Técnicas de compresión	Técnicas de compresión			N.Jha, S.Gupta, "Testing of Digital Systems", Abramovici M., Breuer M., Friedman A. Digital Systems Testing and Testable Design
<13> 01/06 al 06/06	BIST (Built-in-self-test)	BIST (Built-in-self-test)				N.Jha, S.Gupta, "Testing of Digital Systems", Abramovici M., Breuer M., Friedman A. Digital Systems Testing and Testable Design
<14> 08/06 al 13/06	BIST (Built-in-self-test)	BIST (Built-in-self-test)	BIST (Built-in-self-test)			N.Jha, S.Gupta, "Testing of Digital Systems", Abramovici M., Breuer

Semana	Temas de teoría	Resolución de problemas	Laboratorio	Otro tipo	Fecha entrega Informe TP	Bibliografía básica
						M., Friedman A. Digital Systems Testing and Testable Design
<15> 15/06 al 20/06	Técnicas de hardware tolerante a fallas	Técnicas de hardware tolerante a fallas				N.Jha, S.Gupta, "Testing of Digital Systems", Abramovici M., Breuer M., Friedman A. Digital Systems Testing and Testable Design
<16> 22/06 al 27/06	Técnicas de hardware tolerante a fallas	Técnicas de hardware tolerante a fallas				N.Jha, S.Gupta, "Testing of Digital Systems", Abramovici M., Breuer M., Friedman A. Digital Systems Testing and Testable Design

CALENDARIO DE EVALUACIONES

Evaluación Parcial

Oportunidad	Semana	Fecha	Hora	Aula
1º	10	07/05	19:00	
2º	12	21/05	19:00	
3º		02/07	19:00	
4º				