



Planificaciones

6666 - Seminario de Electrónica II

Docente responsable: LIPOVETZKY JOSE

OBJETIVOS

El objetivo fundamental de esta materia estudiar el diseño de circuitos integrados digitales y analógicos en tecnología CMOS desde el punto de vista del diseño de un circuito integrado. Se estudian los principios básicos de la tecnología CMOS, modelos, etapas básicas y estructuras de sistemas digitales y analógicos. Durante el curso se realiza un proyecto en el cual el alumno debe diseñar, simular, producir y medir un circuito integrado.

CONTENIDOS MÍNIMOS

PROGRAMA SINTÉTICO

I Dispositivos MOS

II. Fabricación de circuitos integrados.

III. Circuitos Digitales Combinacionales CMOS: Inversor, Compuertas CMOS combinacionales estáticas y Pass gate transistors.

IV. Circuitos Secuenciales CMOS

V. Diseño analógico, Amplificadores Operacionales en procesos CMOS y Circuitos a capacitores conmutados

VI. Consideraciones de diseño de circuitos integrados: Técnicas de Layout analógico, cálculo de parásitos y Dispositivos no convencionales

VII. Temas teóricos complementarios.

PROGRAMA ANALÍTICO

I Dispositivos MOS

Repaso de Juntura PN, curvas corriente y capacidad tensión.

Capacitor MOS. Curvas capacidad tensión.

Transistor MOS. Modelo del transistor. Curvas corriente-tensión, efectos de canal corto, capacidades parásitas, corrientes subumbral, modelo de Spice.

II. Fabricación de circuitos integrados.

Procesos de fabricación: crecimiento, oxidación, etching y RIE, litografía, técnicas de deposición de materiales, difusión.

Procesos LOCOS y Shallow Trench Isolation.

Fabricación de un inversor: máscaras en el proceso y layout. Reglas escalables y propietarias. Limitaciones.

Packaging

Herramientas de CAD.

III. Circuitos Digitales Combinacionales CMOS.

Inversor CMOS, Características de DC, respuesta temporal, cadenas de inversores y diseño de buffers, disipación de potencia estática y dinámica. Oscilador en anillo.

Compuertas CMOS combinacionales estáticas.

Características de DC y estimación de y balance de tiempos propagación, compuertas complejas. Técnicas de layout.

Pass gate transistors.

Circuitos con pass gate transistors. Resistencia equivalente de paso. Tiempos de propagación, optimización.

IV. Circuitos Secuenciales CMOS

Latches y registros. Tiempos de set up, hold y propagación. Latches y registros CMOS y C2MOS. Carreras de datos y generadores de fases de reloj.

V. Diseño analógico,

Amplificadores Operacionales.

Modelo de pequeña señal, Amplificadores: S-común, Etapas diferenciales: simple, telescópica, folded- G-común, D-común, Cascode.

Amplificadores Operacionales: Compensación, offset, ruido.

Fuentes de corriente: espejo, cascode, wide-swing cascode.

Referencias de tensión-corriente: basada en beta, Band Gap, basada en VT,

Circuitos a capacitores conmutados:

Técnicas para sintetizar filtros (resumido). Capacitores conmutados como reemplazo de resistores, autocero.

Filtros a capacitores conmutados. Amplificadores switcheados, autozero y conversores Sigma-Delta

VI. Consideraciones de diseño de circuitos integrados.

Técnicas de Layout analógico fuentes de error durante la fabricación, gradientes térmicos. Técnicas de mitigación, MOS matching, centroide común, estructuras dummy, layouts interdigitados para velocidad o potencia.

Cálculo de parásitos: capacidad de área y fringe, resistencia por cuadrado, estimación de tiempos de propagación con modelos concentrados o distribuidos.

Dispositivos no convencionales Resistores de difusión, poly, poly HR. Inyección de portadores calientes y diseño de transistores para alta tensión. Reglas de diseño para alta tensión. Dispositivos de puerta flotante (EEPROM). Protecciones electrostáticas. Modelos HBM y MM, técnicas de layout para protecciones electrostáticas.

VII. Temas teóricos complementarios.

Efectos de radiación ionizante. Scaling, ventajas y dificultades en nuevas tecnologías, perspectiva. Dispositivos optoelectrónicos en tecnologías CMOS.

BIBLIOGRAFÍA

1.G.S. May y S.M. Sze Fundamentals of Semiconductor Fabrication. Wiley 2004

R. T. Howe, C. G. Sodini, Microelectronics, An Integrated Circuits Approach, Prentice Hall Electronic and VLSI Series, 1997, ISBN: 0-13-588518-3

R. J. Baker, H. W. Li, D. E. Boyce, CMOS: Circuit Design, Layout, and Simulation, IEEE Press Series on Microelectronic Systems, Prentice Hall of India, 2002. ISBN: 81-203-1682-7.

R. C. Jaeger, Introduction to Microelectronic Fabrication, Addison-Wesley Publishing Company, 1993. ISBN: 0-201-14695-9.

Robert F. Pierret, Semiconductor Device Fundamentals, 1996, Addison-Wesley Publishing Company

S. H. Gerez, Algorithms for VLSI Design and Automation, John Wiley & Sons, 1999.

B. D. Ackland et al, Physical Design Automation of VLSI Systems, Ed. B. T. Pears, M. J. Lorenzetti, The Benjamin/Cummings Pub. Comp. Inc., 1988.

J. P. Uyemura, Physical Design of CMOS Integrated Circuits using L-Edit, PWS Publishing Company, 1995. ISBN 0-534-94326-8.

2.J. M. Rabaey, A. Chandrakasan, B. Nikolic, Digital Integrated Circuits, Prentice Hall Electronics and VLSI Series, 2003. ISBN: 0-13-597444-5.

RÉGIMEN DE CURSADA

Metodología de enseñanza

Se dictan clases teóricas intensivas con los temas de la materia durante las 8 primeras semanas de clase, y se resuelven guías de problemas para que los estudiantes operen con los temas.

La materia tiene una fuerte componente práctica que consiste en la realización de un proyecto final que consiste en el diseño de un circuito pasando por todas las fases del proceso de diseño, hasta llegar al layout que es luego enviado a fabricar en un proceso CMOS. La materia culmina con mediciones realizadas sobre el chip fabricado, cerrando el ciclo de diseño.

Modalidad de Evaluación Parcial

N/A

CALENDARIO DE CLASES

Semana	Temas de teoría	Resolución de problemas	Laboratorio	Otro tipo	Fecha entrega Informe TP	Bibliografía básica
<1> 09/03 al 14/03	Dispositivos MOS. Fabricación de circuitos integrados.	Curvas transistor MOS	Curvas transistor MOS en probe station			Sze
<2> 16/03 al 21/03	Inversor CMOS. Compuertas CMOS combinacionales estáticas.	Inversor CMOS: deben simular transferencia DC y estimar y simular tiempos de propagación de un inversor mínimo. Diseño de un buffer para mover la capacidad de un pad.	Tutorial Mentor		TP1 Curvas MOS	Rabaey
<3> 23/03 al 28/03	Compuertas CMOS combinacionales estáticas. Pass gate transistors.	Compuertas combinacionales: diseñar una compuerta combinatorial que tenga tiempos balanceados a partir de una función lógica, y algunas preguntas más.	Tutorial Mentor			Rabaey
<4> 30/03 al 04/04	Lógica secuencial.		Diseño de compuerta		TP2 Inversor	Rabaey
<5> 06/04 al 11/04	Amplificadores Operacionales. Circuitos a capacitores conmutados		Diseño de compuerta		TP3 lógica combinatorial	Razaavi
<6> 13/04 al 18/04	Circuitos a capacitores conmutados, Técnicas de Layout analógico		Diseño de inversor mínimo full custom para familiarizarse con reglas de DRC			Razaavi
<7> 20/04 al 25/04	Cálculo de parasíticos, Dispositivos no convencionales	Estimar capacidades parásitas de líneas, resistencias y tiempos de propagación (a entregar antes de empezar el layout)			TP4 parasíticos	Todos
<8> 27/04 al 02/05			Proyecto	Proyecto		Todos
<9> 04/05 al 09/05			Proyecto	Proyecto		Todos
<10> 11/05 al 16/05			Proyecto	Proyecto		Todos
<11> 18/05 al 23/05			Proyecto	Proyecto		Todos
<12> 25/05 al 30/05			Proyecto	Proyecto		Todos
<13> 01/06 al 06/06			Proyecto	Proyecto		Todos
<14> 08/06 al 13/06			Proyecto	Proyecto		Todos
<15> 15/06 al 20/06	Temas teóricos complementarios		Proyecto	Proyecto		Todos
<16> 22/06 al 27/06	Temas teóricos complementarios		Entrega de GDs			Todos

CALENDARIO DE EVALUACIONES

Evaluación Parcial

Oportunidad	Semana	Fecha	Hora	Aula
1º				
2º				
3º				
4º				
Observaciones sobre el Temario de la Evaluación Parcial				
N/A				
Otras observaciones				
Los estudiantes deben presentar el informe final con los resultados de la medición del chip que fabricaron, además de ejercicios durante la cursada para evaluar el grado de avance en el aprendizaje.				