



# Planificaciones

6633 - Laborat. de Sistemas Digitales

Docente responsable: DAMS ALBERTO ENRIQUE

## OBJETIVOS

El objetivo de la materia es que el alumno aprenda a diseñar, simular y verificar sistemas digitales de mediana complejidad utilizando las herramientas modernas del diseño digital.

Se presentan temas de vanguardia en electrónica digital divididos en distintas capas de diseño.

Esta asignatura brinda un marco apropiado para que los alumnos participen en proyectos de diseño de sistemas digitales. El temario se desarrolla desde los niveles de abstracción más bajos a los más altos formando al alumno en todas las etapas del diseño digital.

## CONTENIDOS MÍNIMOS

-

### PROGRAMA SINTÉTICO

- 1 – Repaso de codificación HDL
- 2 – Diseño a nivel transistor
- 3 – Diseño a nivel de compuertas
- 4 – Diseño a nivel de microarquitectura
- 5 – Diseño a nivel de arquitectura
- 6 – Verificación de sistemas digitales
- 7 – Design for testability
- 8 – Diseño físico

### PROGRAMA ANALÍTICO

- 1 – Repaso de codificación HDL

Lenguajes de descripción de hardware: VHDL, Verilog, System Verilog. Características. Sintaxis de los lenguajes: operadores, tipos de datos, asignaciones concurrentes y secuenciales, sentencias de control de programa, procesos, instanciación de componentes. Ejemplos de descripción de circuitos.

- 2 – Diseño a nivel transistor (Transistor Level)

Repaso de lógica CMOS. La compuerta CMOS estática. Rise-time, fall-time, tiempo de propagación.

Dimensionamiento de transistores en función de las características dinámicas de la compuerta. Capacidades parásitas de la compuerta. Transmission gates. Ruido en una compuerta. Leakage. Potencia estática y dinámica. Bloques aritméticos. Diseño de latches y flip-flops basados en transmission gates. Características de latches y flip-flops: setup time, hold time, recovery time, removal time. Parásitos en circuitos digitales.

Técnicas de extracción de parásitos. Modelización de celdas. Worst case – Best case. Empleo de herramientas de software para modelado de celdas. VHDL-VITAL y Verilog para modelado.

- 3 – Diseño a nivel de compuertas (Gate Level)

Static timing analysis para circuitos sincrónicos. Statistical timing analysis. BC-WC, On chip variation (OCV).

Influencia del ruido en la temporización. Timing análisis basado en restricciones (design constraints). Clock skew. Diseño de árboles de distribución de reloj y de distribución de reset. Árboles de cero skew y de skew positivo. Impacto de variaciones de proceso en el skew. Uso de PLLs para minimización de skew. Clock jitter.

Diseños con múltiples dominios de clocks. Sincronizadores y arbitradores. Metaestabilidad. Fallos de sincronización. MTBF. Entradas asincrónicas. Síntesis lógica. Conversión RTL a netlist. El método de esfuerzo lógico y based-gain síntesis. Wireload model y Physical Layout Estimation model (PLE). Empleo de herramientas de software para síntesis lógica. Estimación de potencia. Técnicas para reducción de potencia. Clock gating. Técnicas de minimización de transiciones. IR-drop estimation.

- 4 – Diseño a nivel de microarquitectura (Micro Architecture Level)

Máquinas de estado sincrónicas. Circuitos de Mealy y Circuitos de Moore. One-Hot encoding. Máquinas de estados asincrónicas. Circuitos autotemporizados. Métodos de minimización de estados. Diseño de circuitos aritméticos. Sistemas de representación numérica: signed digit (SD), canonic signed digit (CSD), redundant signed digit (RSD), logarithmic number system (LNS), residue number system (RNS), floating point representation, etc. Aritmética paralela. Aritmética seriada. Aritmética distribuida.

- 5 – Diseño a nivel de arquitectura (Architecture Level)

Ejemplos de arquitecturas digitales modernas. Ejemplos de procesadores RISC. CISC. Filtros digitales.

Procesadores matriciales.

- 6 – Verificación de sistemas digitales

Observabilidad y controlabilidad. Cobertura de código. Verificación funcional. Assertion based verification. Introducción a System Verilog. Logic Equivalence Check (LEC).

- 7 – Design for testability (DFT)

Modelos de fallas: SA-0, SA-1. Iddq, Issq, Iddt. Tipos de cadenas de scan: Muxed y LSSD. DFT rules. BIST: la arquitectura STUMPS. Técnicas de generación de pseudo-ruido: LFSR y CAR. In system Debugging. Test funcionales. Técnicas Ad-Hoc.

- 8 – Diseño físico

Floorplanning. Placement. Routing. Global and detailed routing. Clock tree synthesis. Métodos de extracción de parásitos para para las distintas etapas de diseño: placement, routing, signoff. Dynamic timing closure. Dynamic power closure. Noise analysis. Coeficientes de correlación. Signoff checks: LVS, DRC, Antenna, Electrical.

## **BIBLIOGRAFÍA**

### Básica

- L. Wang, Y. Chang, K. Cheng, "Electronic Design Automation: Synthesis, Verification and Test". Elsevier 2009.
- Neil Weste, David Harris, "CMOS VLSI Design: A Circuits and System Perspective." 3rd Ed. Addison Wesley 2005.
- Lars Wanhammar, "DSP Integrated Circuits", Academic Press 1999.
- R. Woods, J. MacAllister, G. Lighbody, Y. Yi, "FPGA-Based Implementation of Signal Processing Systems", John Wiley and Sons, 2008.
- Michael Bushnell, Vishwani Agrawal, "Essentials of Electronic Testing for Digital, Memory and Mixed Signal VLSI Circuits", Kluwer Academic Publishers 2002.
- Himanshu Bhatnagar, "Advanced ASIC Chip Synthesis Using Synopsys Tools", 2nd Ed. Kluwer Academic Publishers 2002.
- George Constantinides, Peter Cheung, Wayne Luk, "Synthesis and Optimization Of DSP Algorithms", Kluwer Academic Publishers 2004.
- J.P. Deschamps, G. Bioul, G. Sutter, "Synthesis of Arithmetic Circuits", John Wiley and Sons, 2006.
- I. Sutherland, B. Sproull. D. Harris, "Logical Effort: Designing Fast CMOS Circuits". Morgan Kaufmann Publishers, 1999.
- D. Kinniment, "Synchronization and Arbitration in Digital Systems", John Wiley and Sons, 2007.
- R. Baker, H. Li, D. Boyce, "CMOS Circuit Design, Layout, and Simulation", IEEE Press John Wiley and Sons, 1998.
- J. Rabaey, A. Chandrakasan, and B. Nikolic , "Digital Integrated Circuits", 2nd Ed, Prentice-Hall.

### Complementaria

- Gi-Joon Nam, Jason Cong, "Modern Circuit Placement: Best Practices and Results". Springer 2007.
- Naveed Sherwani, "Algorithms for VLSI Physical Automation", 3rd Edition. Kluwer Academic Publishers 2002.
- Thucydides Xanthopoulos, "Clocking in Modern VLSI Systems", Springer 2009.
- A. Acosta, A. Barriga, M. Bellido, J. Juan, M. Valencia, "Temporización en Circuitos Digitales CMOS", Marcombo 2000.

## **RÉGIMEN DE CURSADA**

### Metodología de enseñanza

Clases teórico-prácticas

Trabajos prácticos obligatorios durante la cursada y trabajo práctico final.

### Modalidad de Evaluación Parcial

## CALENDARIO DE CLASES

Semana	Temas de teoría	Resolución de problemas	Laboratorio	Otro tipo	Fecha entrega Informe TP	Bibliografía básica
<1> 09/03 al 14/03	Repaso de HDL coding. Operadores. Tipos de datos. Asignaciones secuenciales y concurrentes. Procesos. Sentencias de control de flujo. Ejemplos de codificación de circuitos. Simulación.	Guia 1.	TP1: Descripción HDL de un diseño.			
<2> 16/03 al 21/03	Repaso de HDL coding. Operadores. Tipos de datos. Asignaciones secuenciales y concurrentes. Procesos. Sentencias de control de flujo. Ejemplos de codificación de circuitos. Simulación.	Guia 1.				
<3> 23/03 al 28/03	Diseño a nivel de transistor. Diseño de compuertas CMOS. Caracterización de celdas estándar: potencia y temporización. Flip-flops. Simulación dinámica (SPICE). Modelos de ruido.	Guia 2.	TP2: Caracterización de celdas estándar.		03/09 Entrega TP1	
<4> 30/03 al 04/04	Diseño a nivel de transistor. Diseño de compuertas CMOS. Caracterización de celdas estándar: potencia y temporización. Flip-flops. Simulación dinámica (SPICE). Modelos de ruido.	Guia 2.				
<5> 06/04 al 11/04	Diseño a nivel de transistor. Diseño de compuertas CMOS. Caracterización de celdas estándar: potencia y temporización. Flip-flops. Simulación dinámica (SPICE). Modelos de ruido.	Guia 2.				
<6> 13/04 al 18/04	Diseño a nivel de compuertas. Esfuerzo lógico. Síntesis lógica. Timing analysis. Design constraints. Metaestabilidad. Circuitos con múltiples dominios de reloj. Sincronizadores. Síntesis para ahorro de potencia.	Guia 3.	TP3: Síntesis lógica.		24/09 Entrega TP2	
<7> 20/04 al 25/04	Diseño a nivel de compuertas. Esfuerzo lógico. Síntesis lógica. Timing analysis. Design constraints. Metaestabilidad. Circuitos con múltiples dominios de reloj. Sincronizadores. Síntesis para ahorro de	Guia 3.				

Semana	Temas de teoría	Resolución de problemas	Laboratorio	Otro tipo	Fecha entrega Informe TP	Bibliografía básica
	potencia.					
<8> 27/04 al 02/05	Diseño a nivel de microarquitectura. Diseño de máquinas de estado. Sistemas de representación numérica. Circuitos aritméticos. Aritmética paralela, seriada, distribuida.	Guía 4.	TP Final: Diseño de un sistema digital completo.		08/10 Entrega TP3	
<9> 04/05 al 09/05	Diseño a nivel de microarquitectura. Diseño de máquinas de estado. Sistemas de representación numérica. Circuitos aritméticos. Aritmética paralela, seriada, distribuida.	Guía 4.				
<10> 11/05 al 16/05	Verificación de sistemas digitales. Cobertura de código. Cobertura funcional. Gate level verification. Logic Equivalence check.	Guía 5.				
<11> 18/05 al 23/05	Verificación de sistemas digitales. Cobertura de código. Cobertura funcional. Gate level verification. Logic Equivalence check.	Guía 5.				
<12> 25/05 al 30/05	Diseño a nivel de arquitectura. Arquitectura de procesadores RISC, CISC. Diseño de filtros digitales. Procesadores matriciales. Algoritmos en hardware.	Guía 6.				
<13> 01/06 al 06/06	Design for testability (DFT). Models de fallas. Scanchains. Scanchains rules. Logic Built-in Self Test. BIST rules. Stumps.	Guía 7.				
<14> 08/06 al 13/06	Design for testability (DFT). Models de fallas. Scanchains. Scanchains rules. Logic Built-in Self Test. BIST rules. Stumps.	Guía 7.				
<15> 15/06 al 20/06	Diseño físico. Floorplan, placement, routing. Árboles de distribución de reloj y de reset. Parásitos y compensación. IR-drop.	Guía 8.				
<16> 22/06 al 27/06	Diseño físico. Floorplan, placement, routing. Árboles de distribución de reloj y de reset. Parásitos y compensación. IR-drop.	Guía 8.			15/07 Entrega Final	

## CALENDARIO DE EVALUACIONES

### Evaluación Parcial

Oportunidad	Semana	Fecha	Hora	Aula
1º	9	16/10	19:00	
2º	11	26/10	19:00	
3º	16	30/11	19:00	
4º				